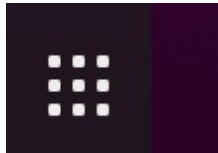


1. Logujemy się do systemu operacyjnego Ubuntu (konto student, hasło student)

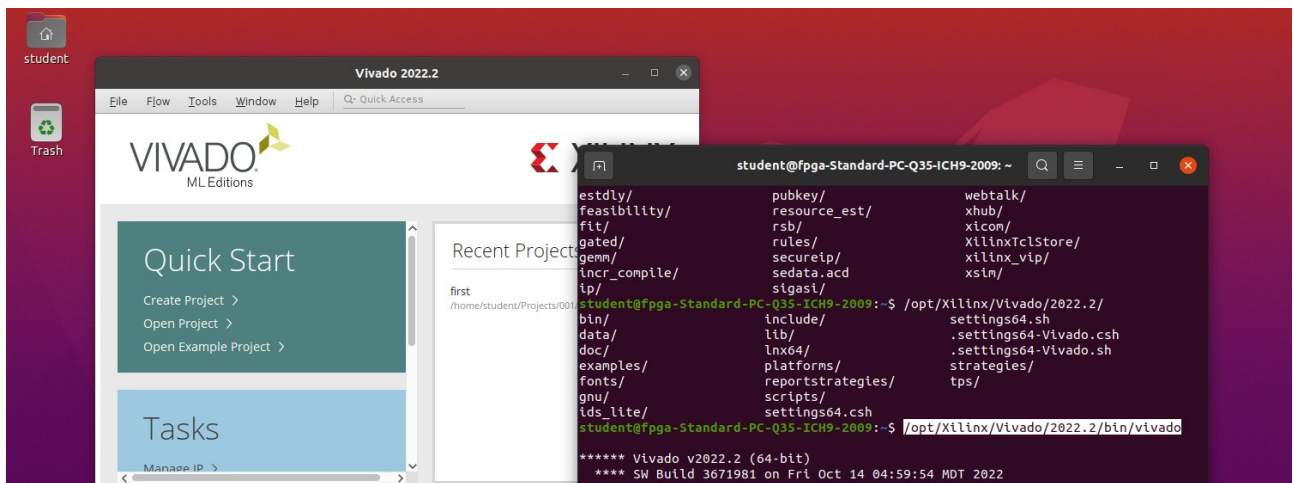
Otwieramy w przeglądarce dokumentację płyty Zybo Z7-10 i zapoznajemy się:

<https://digilent.com/reference/programmable-logic/zybo-z7/reference-manual?redirect=1>

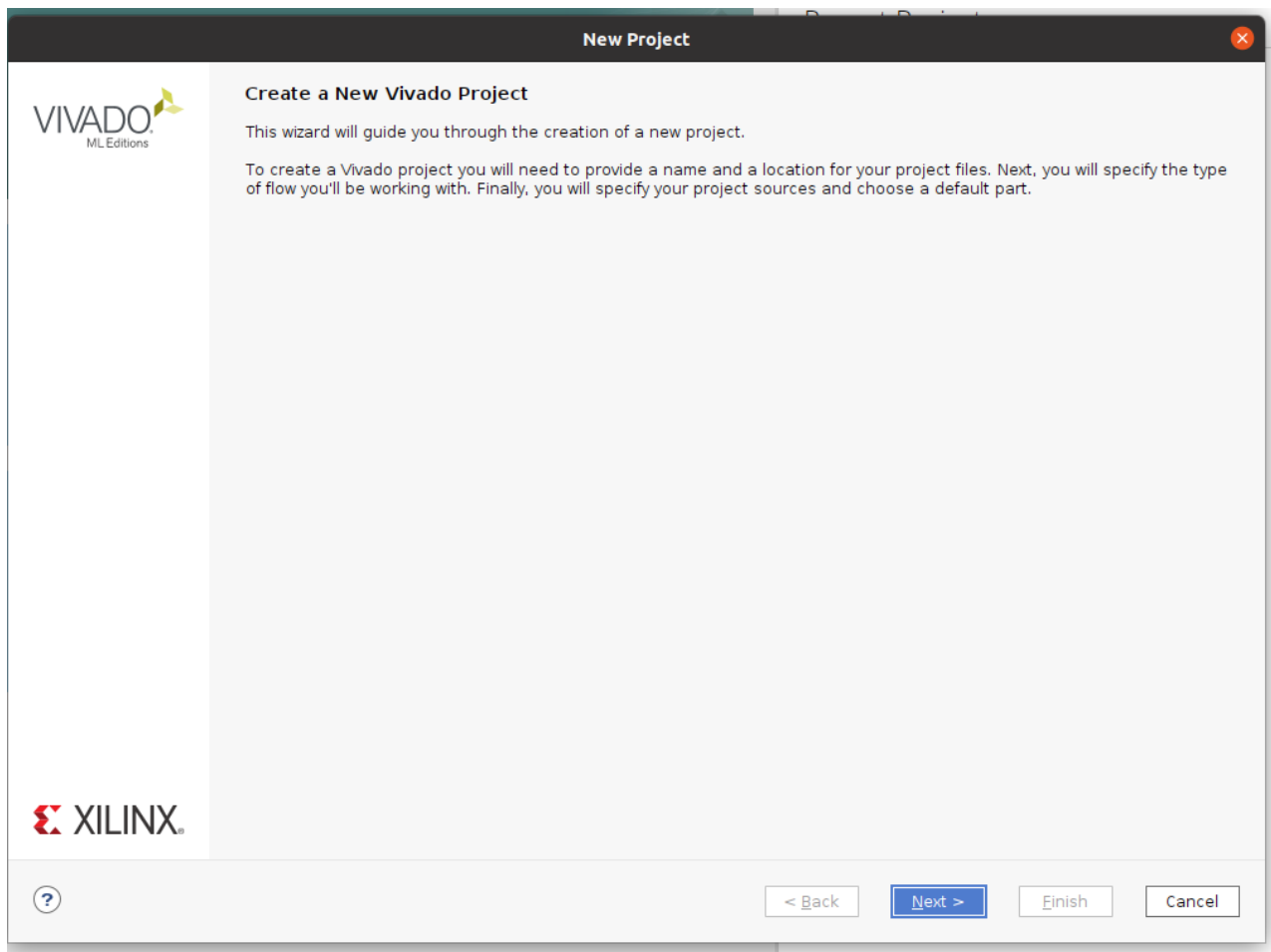
2. Uruchamiamy aplikację terminal klikając w lewym dolnym rogu na ikonę wskazaną na poniższym rysunku



3. Uruchamiamy program w terminalu wpisując komendę: `/opt/Xilinx/Vivado/2022.2/bin/vivado`



4. Wybieramy z menu `File` → `Project` → `New` i wybieramy next



5. Nadajemy nazwę projektu i wybieramy katalog

New Project

Project Name

Enter a name for your project and specify a directory where the project data files will be stored.

Project name:

project_1

Project location:

/home/student/Projects

☒ Create project subdirectory

Project will be created at: /home/student/Projects/project_1

?

< Back

Next >

Finish

Cancel

6. Wybieramy typ projektu RTL

New Project



Project Type

Specify the type of project to create.



- ☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.
 - ☐ Do not specify sources at this time
 - ☐ Project is an extensible Vitis platform
- ☐ **Post-synthesis Project**
You will be able to add sources, view device resources, run design analysis, planning and implementation.
 - ☐ Do not specify sources at this time
- ☐ **I/O Planning Project**
Do not specify design sources. You will be able to view part/package resources.
- ☐ **Imported Project**
Create a Vivado project from a Synplify Project File.
- ☐ **Example Project**
Create a new Vivado project from a predefined template.



< Back

Next >

Finish

Cancel

7. Dodajemy plik źródłowy projektu VHDL oraz wybieramy język docelowy(target language) VHDL

New Project

Add Sources

Specify HDL, netlist, Block Design, and IP files, or directories containing those files, to add to your project. Create a new source file on disk and add it to your project. You can also add and create sources later.

	Index	Name	Library	HDL Source For	Location
	1	first.vhd	xil_defaultlib	Synthesis & Simulation	/home/student/Projects/project_1

Add Files

Add Directories

Create File

☐ Scan and add RTL include files into project

☐ Copy sources into project

☒ Add sources from subdirectories

Target language: VHDL

Simulator language: Mixed

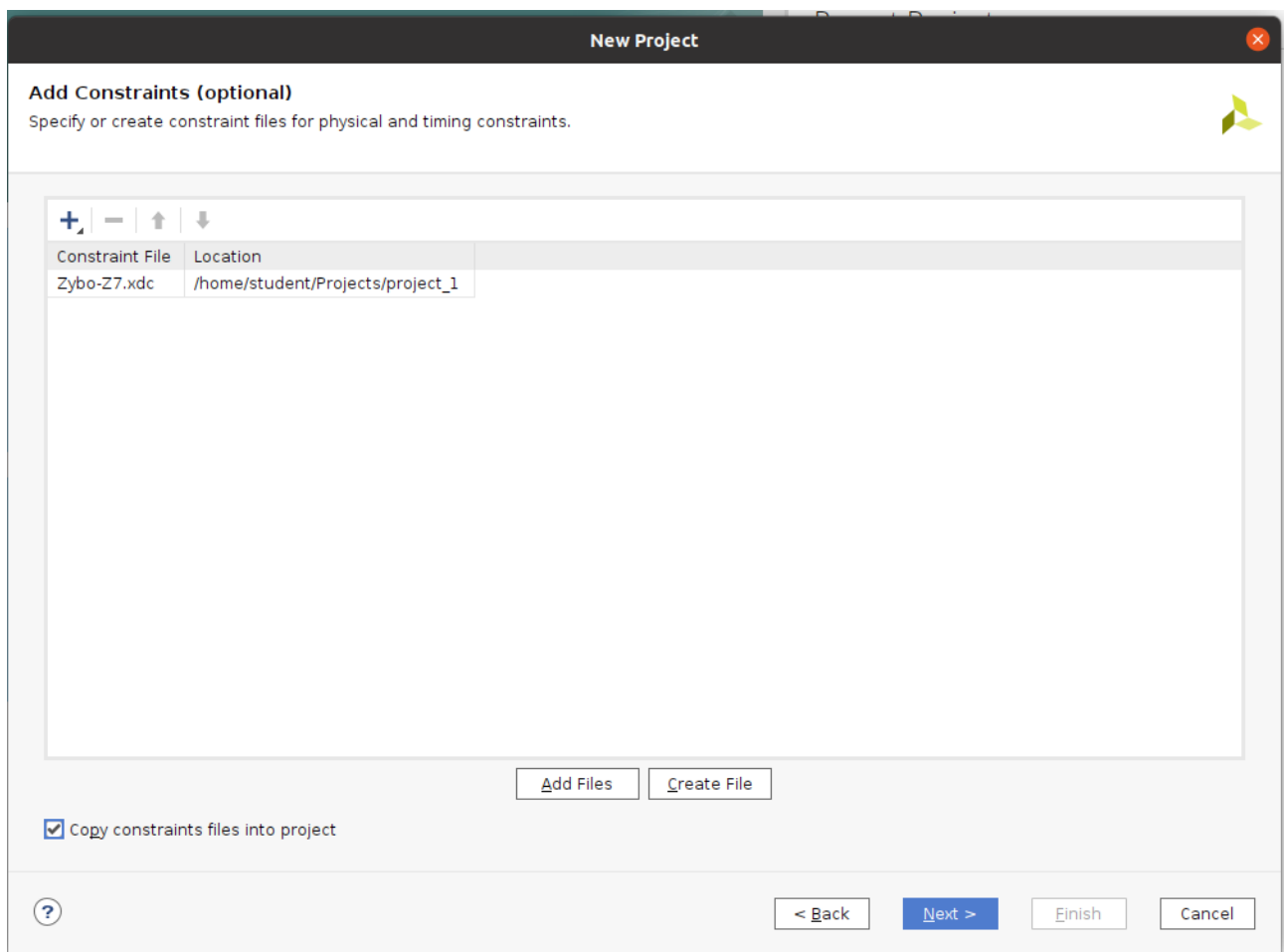
< Back

Next >

Finish

Cancel

8. Dodajemy plik tzw. constraint



9. Wybieramy docelowy układ/płytę. Wybieramy Boards i w polu search wpisujemy Zybo Z7-10 I wybieramy płytę.

New Project

Default Part

Choose a default Xilinx part or board for your project.



Parts | **Boards**

i To fetch the latest available boards from git repository, click on 'Refresh' button. [Dismiss](#)

[Reset All Filters](#)

Vendor:

Name:

Board Rev:



Search: (1 match)

Display Name	Preview	Status	Vendor	File Version	Part	I/O Pin Count	Board
Zybo Z7-10		Installed	digilentinc.com	1.1	xc7z010clg400-1	400	B.2

Refresh



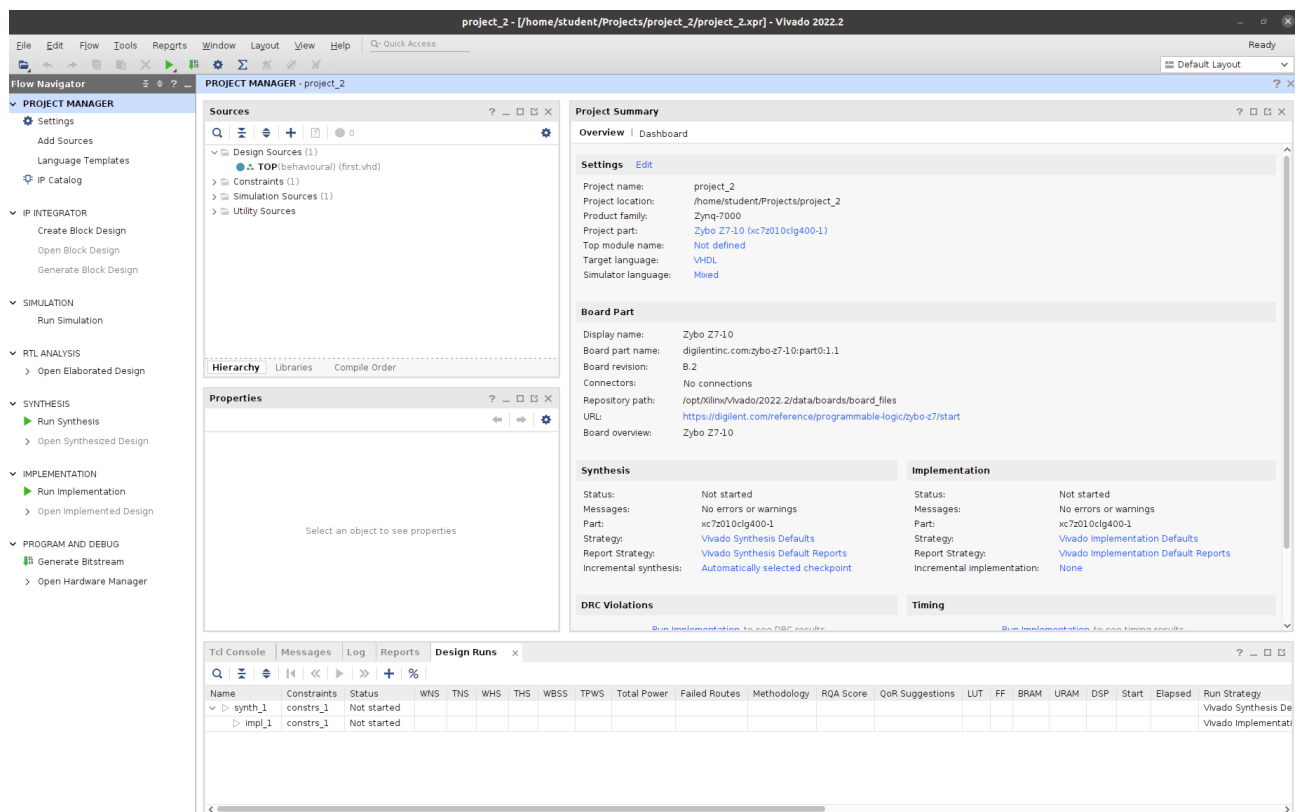
< Back

Next >

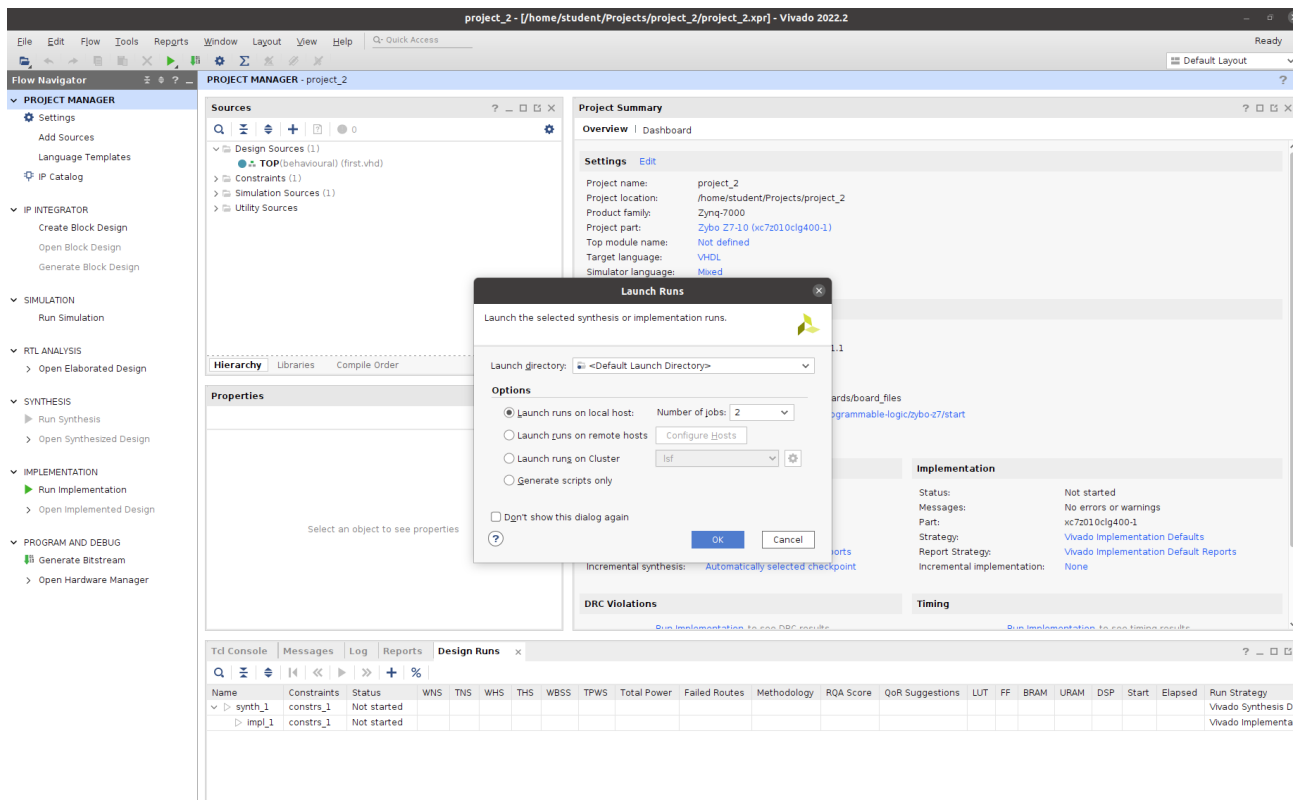
Finish

Cancel

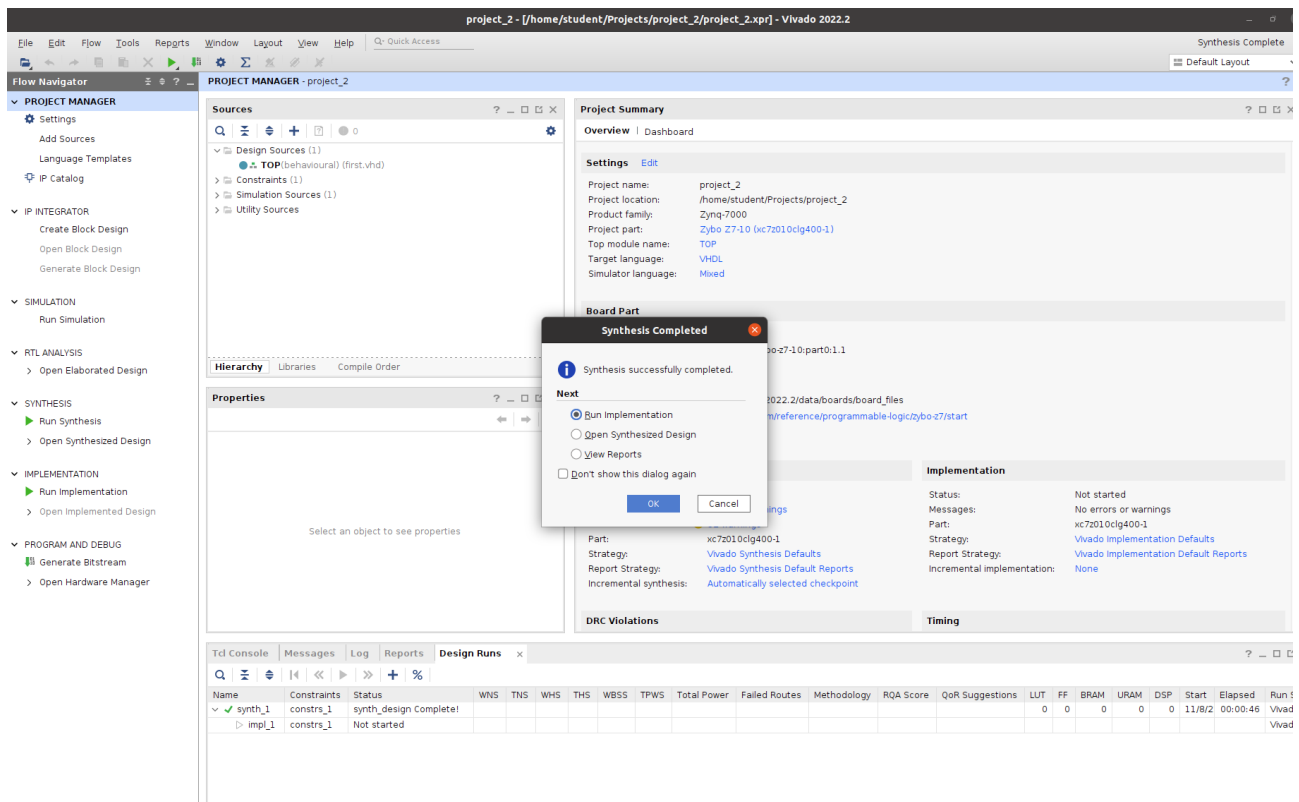
10. Wybieramy Finish i pojawia się poniższe okno programu Xilinx Vivado



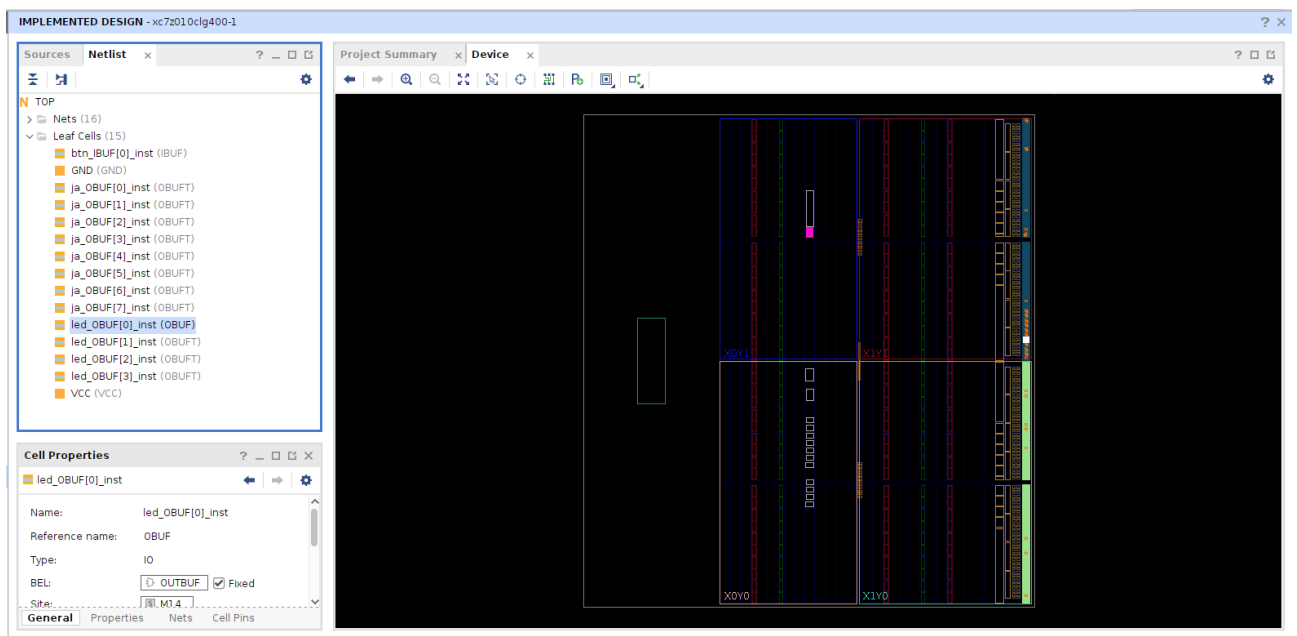
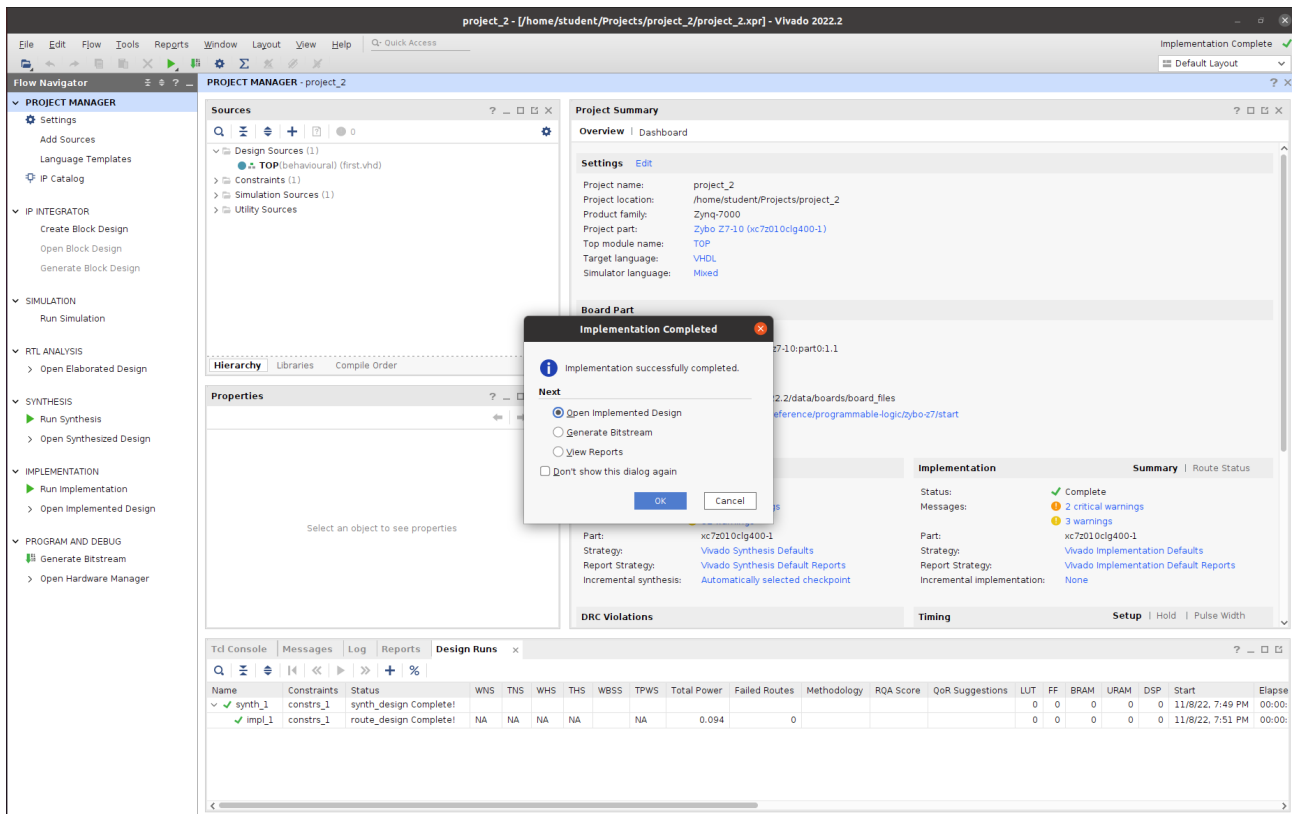
11. Wybieramy Run Synthesis I potwierdzamy OK (przy standardowych ustawieniach) I czekamy kiedy zakończy się proces syntezy



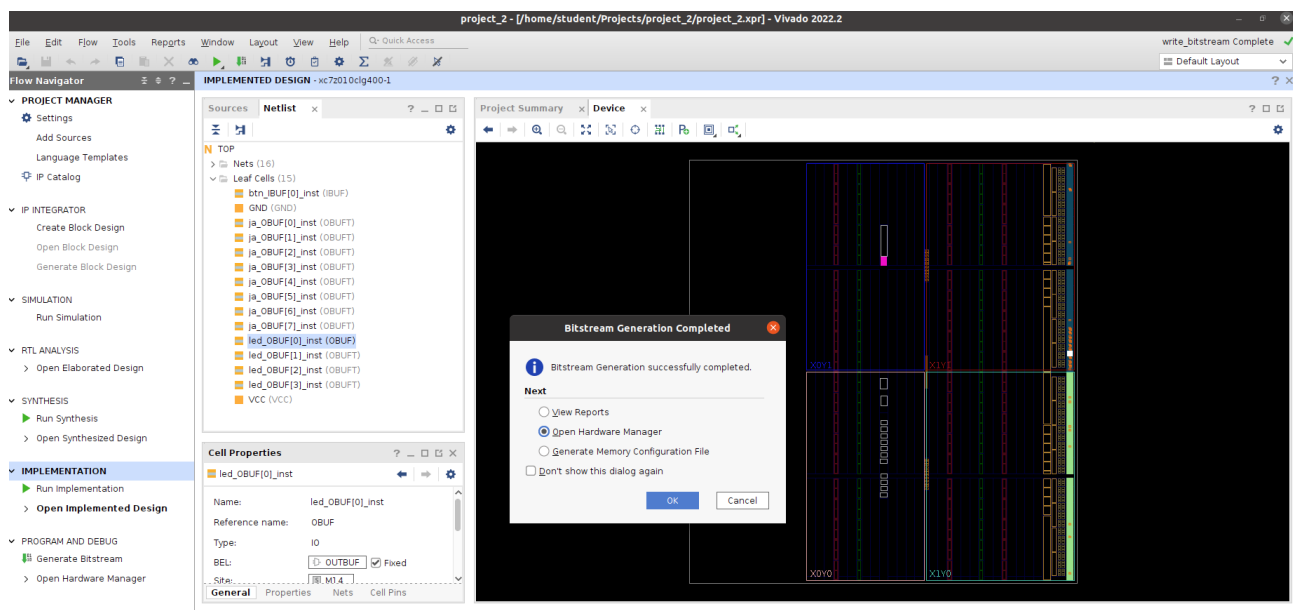
12. Wybieramy Run Implementation kiedy zakończy się proces syntezy (przy standardowych ustawieniach)



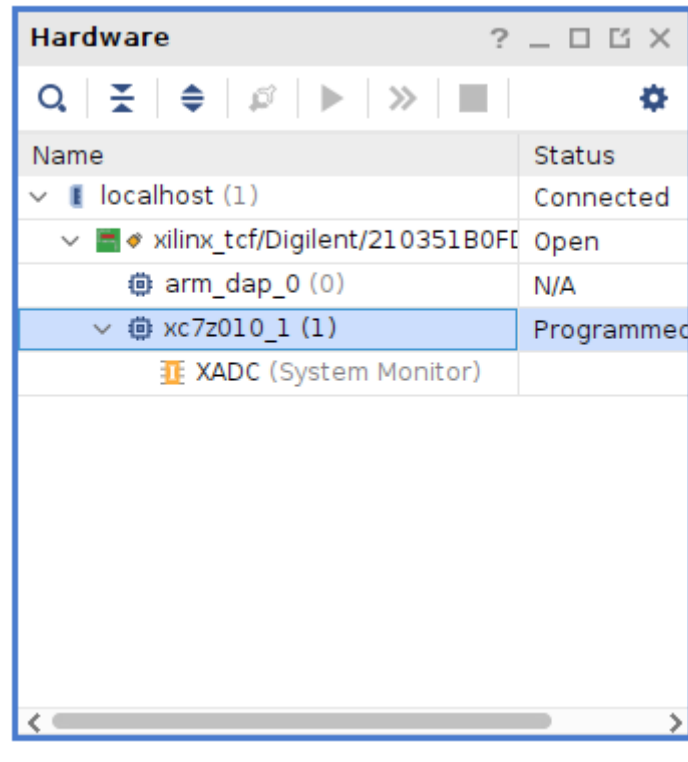
13. Wybieramy Open Implementation kiedy zakończy się implementacji (przy standardowych ustawieniach) i przeglądamy zasoby układu FPGA które zostały użyte



14. Następnie wybieramy Generate Bistream (przy standardowych ustawieniach) i po wygenerowaniu pliku wybieramy “Open Hadware Manager”



15. Następnie wybieramy Open Target → Auto Connect



na układzie FPGA xc7z010_1 prawym przyciskiem wybieramy “Program Device ...”(przy standardowych ustawieniach)

17. Testujemy naciskając na płytce odpowiedni przycisk czy działa poprawnie